

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Patent

Customer No. 31561  
Application No.: 10/604,744  
Docket No. 9720-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Wu  
Application No. : 10/604,744  
Filed : August 14, 2003  
For : PRINTED CIRCUIT BOARD DESIGN  
Examiner :

---

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91124658,  
filed on: 2002/10/24.

A return prepaid postcard is also included herewith.

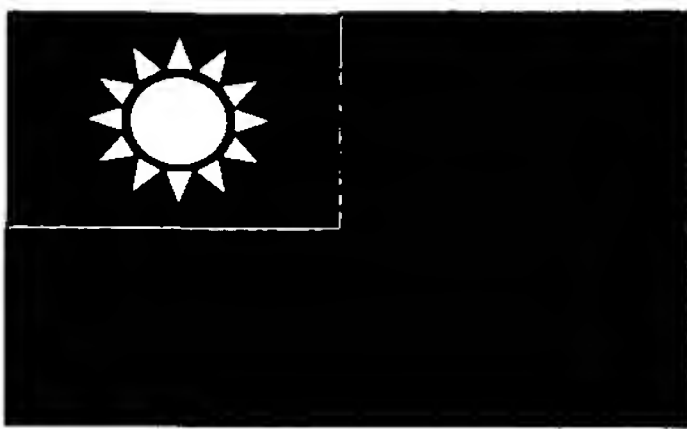
Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 10, 2003

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**





中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 24 日  
Application Date

申請案號：091124658  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

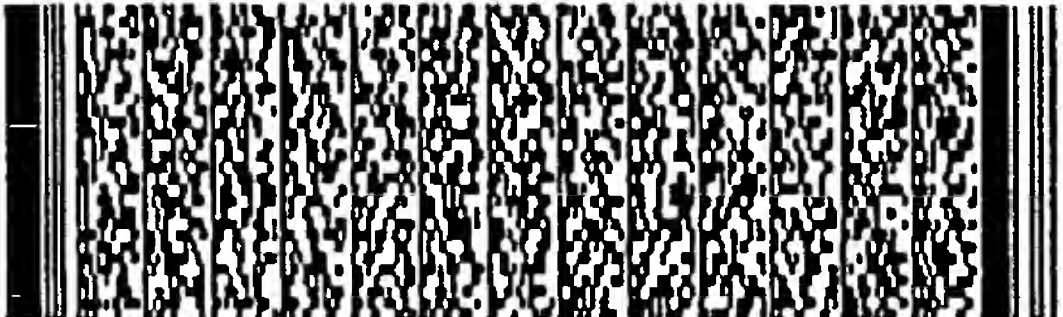
發文日期：西元 2003 年 8 月 28 日  
Issue Date

發文字號：09220865200  
Serial No.



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中文	印刷電路板
	英文	A printed circuit board
二、發明人	姓名 (中文)	1. 吳松茂
	姓名 (英文)	1. Sung-Mao Wu
	國籍	1. 中華民國
	住、居所	1. 高雄縣燕巢鄉尖山村紅山巷96號
三、申請人	姓名 (名稱) (中文)	1. 日月光半導體製造股份有限公司
	姓名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 高雄市楠梓加工出口區經三路26號
	代表人姓名 (中文)	1. 張虔生
	代表人姓名 (英文)	1. Chien-Sheng Chang
		



四、中文發明摘要 (發明之名稱：印刷電路板)

一種印刷電路板，主要係由多層圖案化線路層以及多層絕緣層所構成，而絕緣層係配置於圖案化線路層之間，用以隔離圖案化線路層，其並與圖案化線路層疊合。其中，印刷電路板之邊側壁上或在印刷電路板之表面所構成之一凹穴或一開口之側壁上，可佈設多個線路，用以電性連接於圖案化線路層之間。

英文發明摘要 (發明之名稱：A printed circuit board)

A printed circuit board is composed of several patterned circuit layers and several insulating layers. The insulating layer location is between the patterned circuit layers and laminate the patterned circuit layers to isolate the patterned circuit layers. There are several circuits on the sidewalls of the printed circuit board, a cavity or an opening of the printed circuit board, and the circuits electrically couple to the patterned circuit layers.





本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無



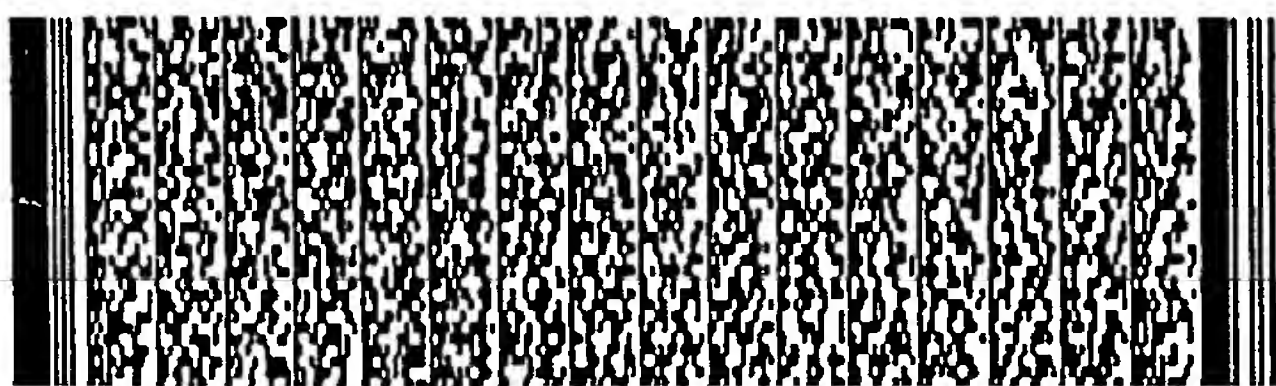
## 五、發明說明 (1)

本發明是有關於一種具有邊側壁線路之基板，且特別是有關於一種利用基板之邊側壁做為線路設計的一部份。

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，基板型承載器(substrate type carrier)是經常使用的構裝元件，其主要包括堆疊壓合式及積層式(build up)二大類型之基板。其中，基板主要由多個圖案化線路層及多個絕緣層交替疊合所構成，由於基板具有佈線細密、組裝緊湊以及性能良好等優點，已成為覆晶構裝用基板(flip chip substrate)之主流。

圖案化線路層例如由銅箔層經過微影蝕刻定義形成，而絕緣層係配置於圖案化線路層之間，用以隔離圖案化線路層。此外，圖案化線路層之間係透過貫通孔(Planting Through Hole, PTH)或導電孔(via)而形成電性連接，而絕緣層之材質包括玻璃環氧基樹脂(FR-4、FR-5)、雙順丁烯二酸醯亞胺(Bismaleimide-Triazine, BT)或者環氧樹脂(epoxy)等。另外，基板可運用在封裝用基板或印刷電路用基板，所不同的是，封裝用基板的表層會形成多個接合墊，以做為基板對晶片之接點，而印刷電路用基板的表層會形成多個接合點，以做為基板對電子元件之接點。

第1圖繪示習知之印刷電路板的示意圖。請參照第1圖，印刷電路板100主要係由多個圖案化線路層110、112以及多個絕緣層102、104、106、108交替疊合所構成。其





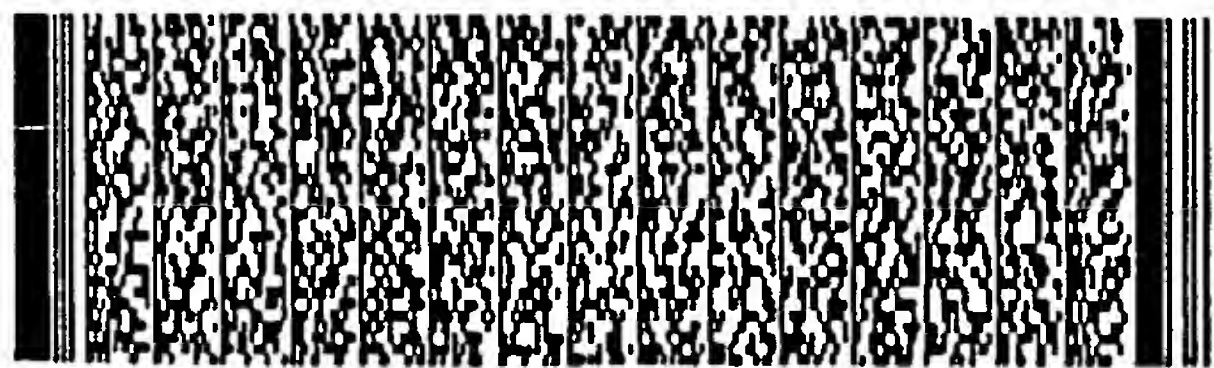
## 五、發明說明 (2)

中，絕緣層104為絕緣芯層，其材質例如為環氧基樹脂或酸醃亞胺等，而絕緣層102、106、108之材質例如為環氧樹脂。另外，圖案化線路層110、112、118例如由銅箔經過微影蝕刻製程定義形成，而圖案化線路層110、112、118之間係透過配置於絕緣層中的導電孔114、120或貫通孔116而形成電性連接。另外，絕緣層102、104、106以及圖案化線路層110、112可以藉由堆疊的方式形成，而絕緣層108以及圖案化線路層118可以藉由積層的方式形成。

由上述之說明可知，不論是堆疊壓合式基板或積層式基板，係在基板之絕緣層形成多個導電孔或貫通孔(PTH)，再經過鍍孔以及線路蝕刻的方式以形成圖案化線路層，並且經由鍍孔之孔壁以使各層圖案化線路層之間能夠彼此相電性連接。然而，此種利用導電孔或貫通孔以導通各層圖案化線路層的方式，會因為貫通孔(或導電孔)的特性阻抗與線路的特性阻抗(Characterization Impedance)不匹配，兩者之間會產生特性阻抗不連續的問題，因而容易導致訊號(Signals)傳遞時因特性阻抗不連續所引發之遲滯、干擾及訊號多重反射的效應。

因此，本發明的目的在提出一種印刷電路板，其利用佈設於基板之邊側壁的線路，用以電性連接於圖案化線路層，而邊側壁的線路的特性阻抗與圖案化線路層的特性阻抗之間可相互匹配，以達到特性阻抗連續之效果。

本發明之另一目的在提出一種印刷電路板，具有邊側壁之線路設計，用以減少貫通孔以及導電孔的數量，以增





### 五、發明說明 (3)

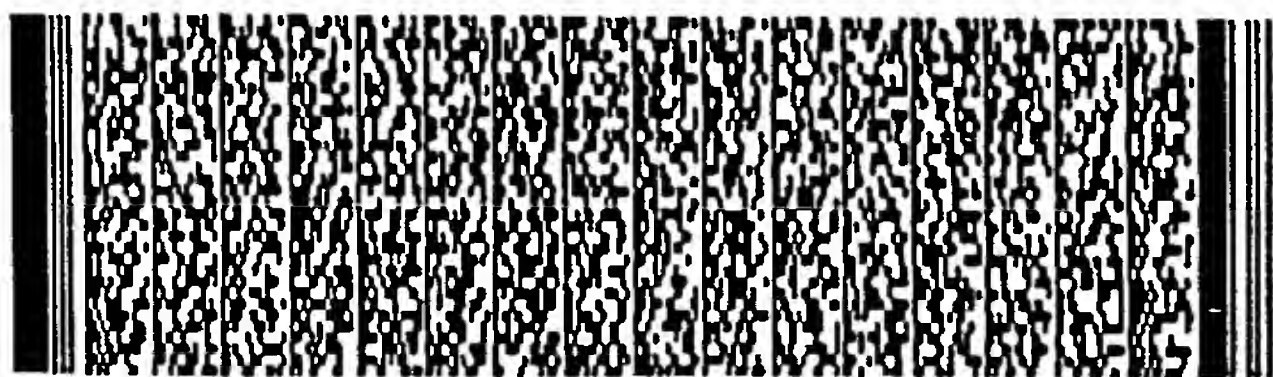
加線路佈局的面積或者縮小整體面積。

為達本發明之上述目的，提出一種印刷電路板，主要係由多層圖案化線路層、多層絕緣層以及多個線路所構成。其中，絕緣層係配置於圖案化線路層之間，用以隔離圖案化線路層，並與圖案化線路層疊合。另外，線路係佈設於印刷電路板之邊側壁上，用以電性連接於圖案化線路層之間。

為達本發明之上述目的，提出一種印刷電路板，主要係由多層圖案化線路層、多層絕緣層以及多個線路所構成。其中，絕緣層係配置於圖案化線路層之間，用以隔離圖案化線路層，並與圖案化線路層疊合，且印刷電路板之表層具有一凹穴，凹穴係由移去部分圖案化線路層以及部分絕緣層所構成。另外，線路係佈設於凹穴之側壁上，用以電性連接於圖案化線路層之間。

為達本發明之上述目的，提出一種印刷電路板，主要係由多層圖案化線路層、多層絕緣層以及多個線路所構成。其中，絕緣層係配置於圖案化線路層之間，用以隔離圖案化線路層，並與圖案化線路層疊合，且印刷電路板之表層具有一開口，該開口係貫穿該印刷電路板，且開口係由移去部分圖案化線路層以及部分絕緣層所構成。另外，線路係佈設於開口之側壁上，用以電性連接於圖案化線路層之間。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說





## 五、發明說明 (4)

明如下：

圖式之標示說明：

100、200、300、400、510、520、530：印刷電路板

102、104、106、108、202、204、206：絕緣層

110、112、118、210、212：圖案化線路層

114、120：導電孔

116：貫通孔

220、230、240、320、420、512、522、532：線路

302、524、534：凹穴

304、404：側壁

402：開口

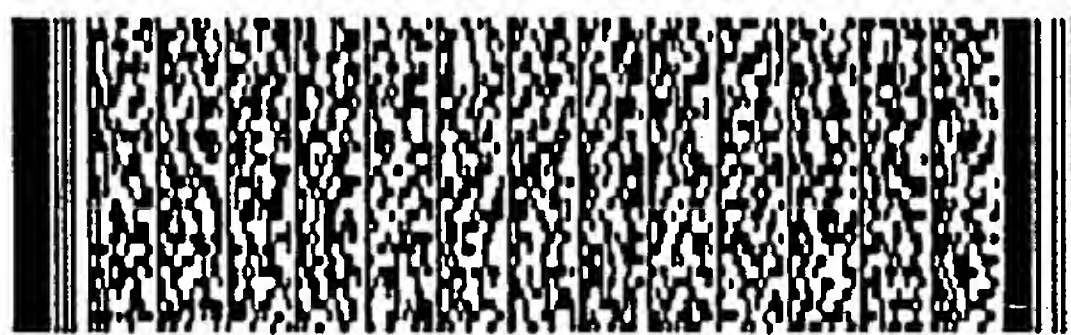
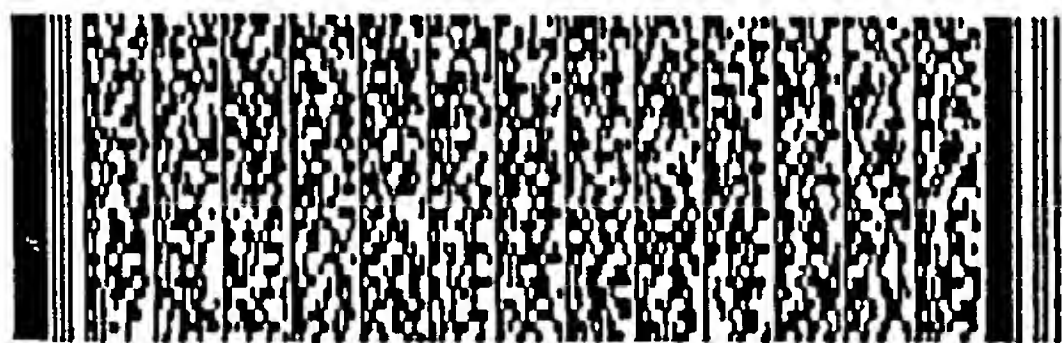
502、504：晶片

510：接合墊

550、560：基板

較佳實施例

請參照第2圖，其繪示本發明一較佳實施例之一種印刷電路板之邊側壁的示意圖。本發明之印刷電路板200例如係由多層圖案化線路層210、212、214、216、218、220以及多層絕緣層202、204、206交替疊合所構成，而各層圖案化線路層與各層絕緣層可以藉由堆疊壓合或積層的方式形成印刷電路板200。其中，印刷電路板200之邊側壁上佈設多個線路230、232、234，而線路可以由銅箔經過線路蝕刻而形成，用以電性連接圖案化線路層之間。另外，線路之表面係覆蓋一保護層，用以保護線路以防氧化。



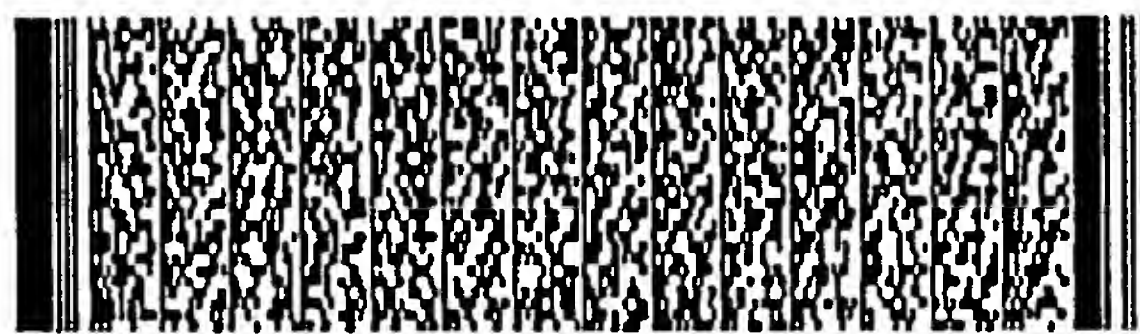
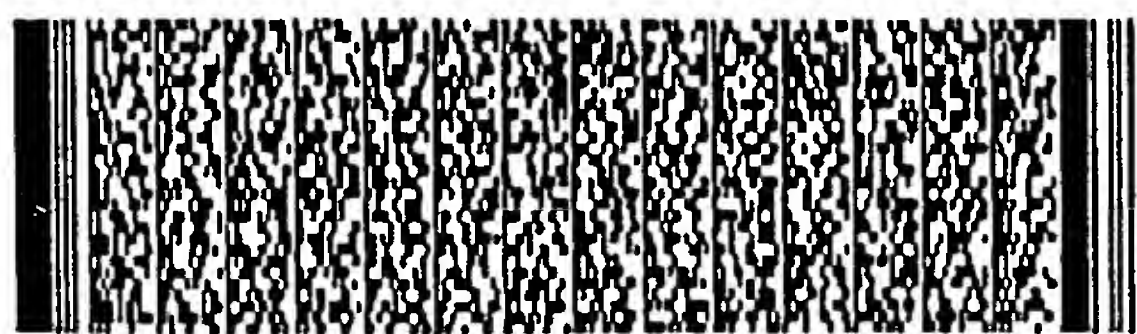


#### 五、發明說明 (5)

請參考第2圖，在第2圖中繪示三種運用邊側壁線路的實施例。第一種實施例，二圖案化線路層212及216係位於印刷電路板200之內部，且圖案化線路層212及216之間的部分線路的線寬一致時，可藉由線寬一致之線路230電性連接於二圖案化線路層212、216，以取代習知之導電孔的功用。第二種實施例，至少二圖案化線路層210以及218係位於印刷電路板200之表層或內部，且至少二圖案化線路層210以及218之間的部分線路的線寬一致時，可藉由線寬一致之線路232電性連接於至少二圖案化線路層210、218，以取代習知之貫通孔的功用。第三種實施例，至少二圖案化線路層214以及220係位於印刷電路板200之表層或內部，且至少二圖案化線路層214以及220之間的部分線路的線寬不一致時，可藉由電性連接於兩層之線路234的線寬呈一梯形狀，以使線路234在圖案化線路層220一端的線寬大於在圖案化線路層214一端的線寬。

由上述之說明可知，各層圖案化線路層可藉由邊側壁之線路而彼此電性連接，且邊側壁之線路具有較佳的特性阻抗連續的效果。因此，基板可避免使用導電孔或貫通孔來電性連接於各層圖案化線路層，所造成特性阻抗不連續之問題，且減少絕緣層之中導電孔或貫通孔的數量，進而提高印刷電路板在設計上的使用面積以及改善圖案化線路層的配置。

請參考第3圖，其繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在一凹穴的側壁上。其中，





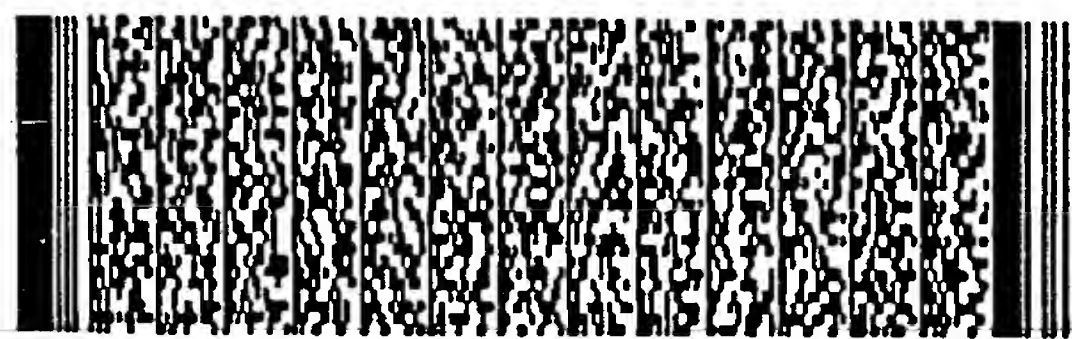
#### 五、發明說明 (6)

印刷電路板300之表層具有一凹穴302，此凹穴302係由移去部分圖案化線路層以及部分絕緣層所構成。另外，印刷電路板300具有多個線路320，其佈設於凹穴302的側壁304上，並且線路320可電性連接於圖案化線路層。同樣的方式，線路320可由銅箔經過線路蝕刻所形成，且依照各層圖案化線路層的線寬形成線寬均勻變化之線路320，以達到特性阻抗連續的效果。

請參照第4圖，其繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在一開口的側壁上。其中，印刷電路板400之表層具有一開口402，開口402係貫穿印刷電路板，且開口402係由移去部分圖案化線路層以及部分絕緣層所構成。另外，印刷電路板400具有多個線路420，其佈設於開口402的側壁404上，並且線路420可電性連接於圖案化線路層。同樣的方式，線路420可由銅箔經過線路蝕刻所形成，且依照各層圖案化線路層的線寬形成線寬均勻變化之線路420，以達到特性阻抗連續的效果。

請參考第5圖，其繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在凹穴或開口之不同側壁上之線路設計。值得注意的是，凹穴或開口之側壁406、408上佈設有線路422，而線路422可電性連接於不同側壁406、408上之二圖案化線路層，且依照各層圖案化線路層的線寬形成線寬均勻變化之線路422，以達到特性阻抗連續的效果。

請參考第5A~5D圖，其繪示本發明之印刷電路板運用





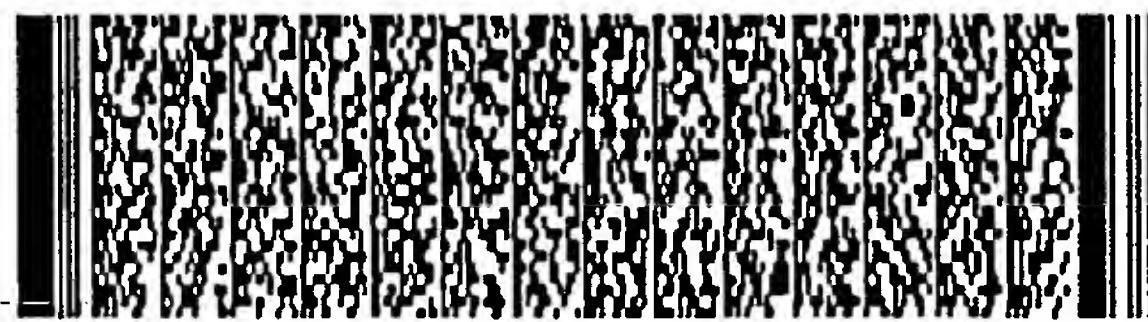
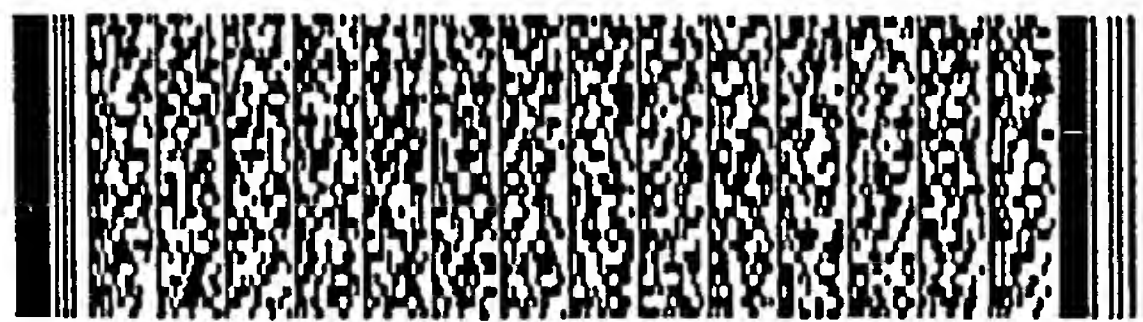
#### 五、發明說明 (7)

在封裝製程的示意圖。如第5A圖所示，印刷電路板510具有邊側壁之線路設計，而晶片502貼附於印刷電路板510之表層，且晶片502電性連接於表層之圖案化線路層。另外，邊側壁之線路512係用以電性連接於各層之圖案化線路層。如第5B圖所示，印刷電路板520之表層具有一凹穴524，且凹穴524具有側壁之線路設計。其中，晶片502貼附於凹穴524的底部，而晶片502電性連接於圖案化線路層，而側壁之線路532係用以電性連接各層的圖案化線路層。如第5C~5D圖所示，印刷電路板530之表層的圖案化線路層係電性連接於一基板550或560，其中基板550例如為印刷電路用基板，而基板560例如為封裝用基板，且基板560上具有多個接合墊510，用以供基板560對晶片504之接點。另外，印刷電路板530之表層具有一凹穴534，而凹穴534之側壁例如呈階梯狀，且凹穴534具有側壁之線路設計。其中，晶片502貼附於凹穴534的底部，而晶片502電性連接於圖案化線路層，且側壁之線路532用以電性連接於各層圖案化線路層。

綜上所述，本發明之印刷電路板至少具有下列優點：

1. 本發明之印刷電路板係利用邊側壁之線路設計，以使印刷電路板之邊側壁上或凹穴的側邊上或開口的側邊上佈設多個線路，用以電性連接各層圖案化線路層，藉此，基板可避免使用導電孔或貫通孔來電性連接於各層圖案化線路層，所造成特性阻抗不連續之問題。

2. 本發明之印刷電路板，係藉由邊側壁之線路設計來



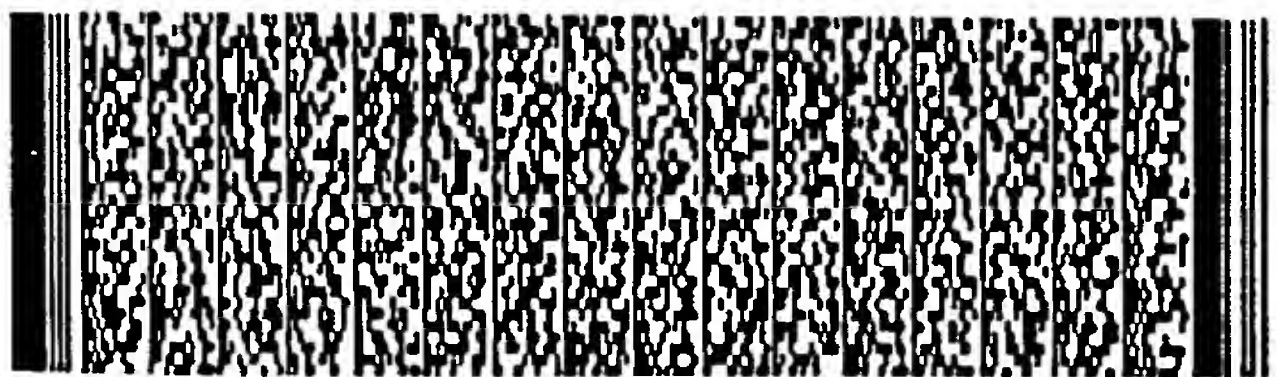


#### 五、發明說明 (8)

取代貫通孔之功能，且此邊側壁之線路更可依照各層圖案化線路層的線寬形成線寬均勻變化之線路，以達特性阻抗連續的效果。

3. 本發明之印刷電路板，其中各層圖案化線路層可藉由邊側壁之線路而彼此電性連接，如此可避免使用導電孔或貫通孔，且減少絕緣層之中導電孔或貫通孔的數量，進而提高印刷電路板在設計上的使用面積以及改善圖案化線路層的配置。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

第1圖繪示習知之印刷電路板的示意圖；

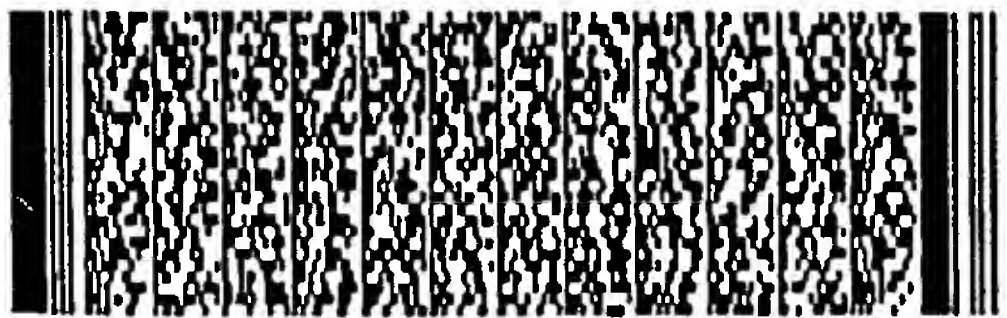
第2圖繪示本發明一較佳實施例之一種印刷電路板之側邊的示意圖；

第3圖繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在一凹穴的側壁上；

第4圖繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在一開口的側壁上；

第5圖繪示本發明一較佳實施例中邊側壁之線路的示意圖，尤其是佈設在凹穴或開口之不同側壁上之線路設計；以及

第5A~5D圖繪示本發明之印刷電路板運用在封裝製程的示意圖。





## 六、申請專利範圍

1. 一種印刷電路板，至少包括：

複數層圖案化線路層；

複數層絕緣層，配置於該些圖案化線路層之間，用以隔離該些圖案化線路層，並與該些圖案化線路層疊合；以及

複數個第一線路，佈設於該印刷電路板之邊側壁上，用以電性連接於該些圖案化線路層之間。

2. 如申請專利範圍第1項所述之印刷電路板，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸鹽亞胺及環氧樹脂所組成之族群中的一種材質。

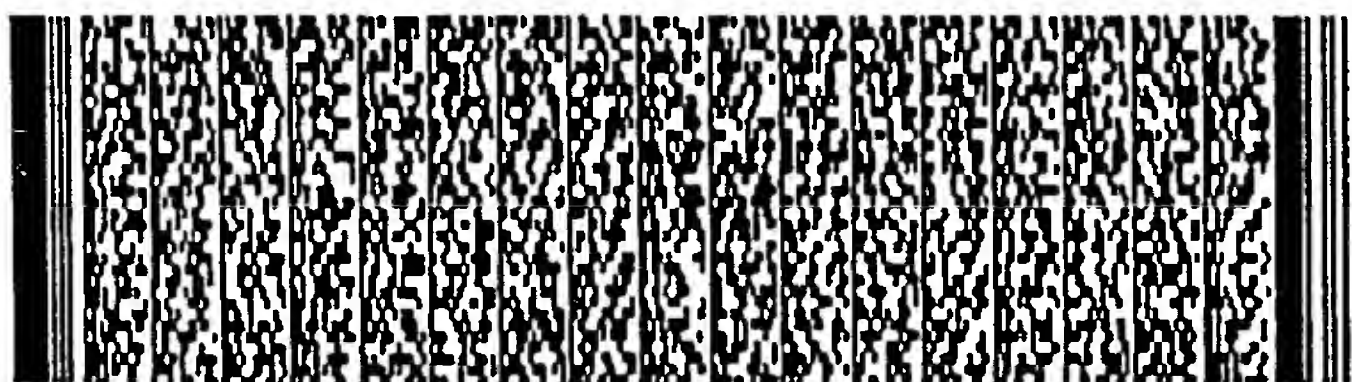
3. 如申請專利範圍第1項所述之印刷電路板，其中該絕緣層具有複數個導電孔，該些導電孔係電性連接於該些圖案化線路層。

4. 如申請專利範圍第1項所述之印刷電路板，其中該每一該些圖案化線路層係由一銅箔層，經過微影蝕刻定義形成。

5. 如申請專利範圍第1項所述之印刷電路板，其中部分該些圖案化線路層以及部分該些絕緣層係構成一凹穴，而該凹穴係凹陷於該印刷電路板之表層。

6. 如申請專利範圍第5項所述之印刷電路板，更包括複數個第二線路，係佈設於該凹穴之側壁上。

7. 如申請專利範圍第5項所述之印刷電路板，其中該印刷電路板之表層更具有一開口，而該開口係貫穿該印刷電路板。





#### 六、申請專利範圍

8. 如申請專利範圍第7項所述之印刷電路板，更包括複數個第三線路，係佈設於該開口之側壁上。

9. 如申請專利範圍第1項所述之印刷電路板，其中該印刷電路板之表層更具有一開口，而該開口係貫穿該印刷電路板。

10. 如申請專利範圍第9項所述之印刷電路板，更包括複數個第二線路，係佈設於該開口之側壁上。

11. 如申請專利範圍第1、6、8或10項所述之印刷電路板，其中部分該些第一線路、部分該些第二線路及部分該些第三線路之線寬係呈一梯形狀。

12. 如申請專利範圍第1、6、8或10項所述之印刷電路板，其中該些第一線路、該第二線路及該些第三線路之表面係以一保護層所覆蓋。

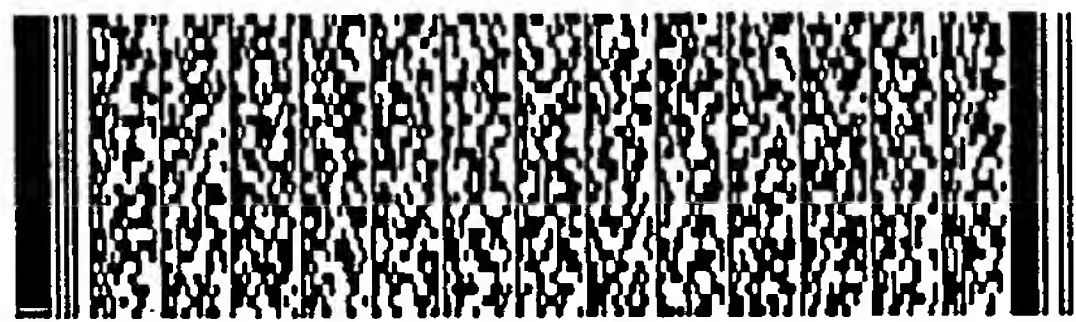
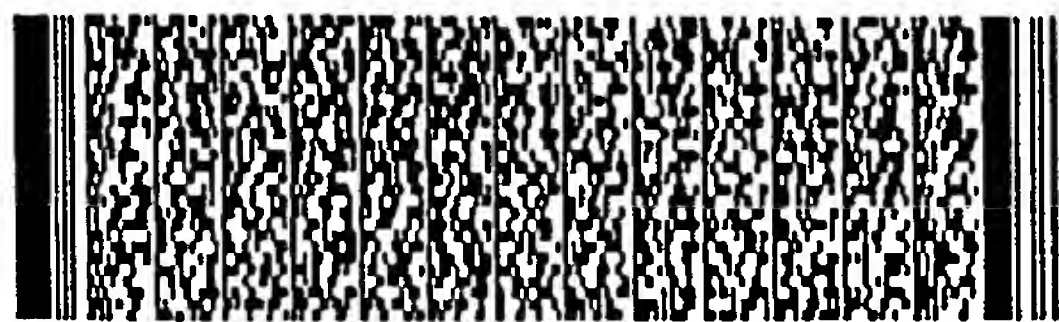
13. 一種印刷電路板，至少包括：

複數層圖案化線路層；以及

複數層絕緣層，配置於該些圖案化線路層之間，用以隔離該些圖案化線路層，並與該些圖案化線路層疊合，其中部分該些圖案化線路層以及部分該些絕緣層係構成一凹穴，而該凹穴係凹陷於該印刷電路板之表層；以及

複數個第一線路，佈設於該凹穴之側壁上，用以電性連接於該些圖案化線路層之間。

14. 如申請專利範圍第13項所述之印刷電路板，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺及環氧樹脂所組成之族群中的一種材質。





#### 六、申請專利範圍

15. 如申請專利範圍第13項所述之印刷電路板，其中該絕緣層具有複數個導電孔，該些導電孔係電性連接於該些圖案化線路層。

16. 如申請專利範圍第13項所述之印刷電路板，其中該每一該些圖案化線路層係由一銅箔層，經過微影蝕刻定義形成。

17. 如申請專利範圍第13項所述之印刷電路板，其中該印刷電路板之表層更具有一開口，而該開口係貫穿該印刷電路板。

18. 如申請專利範圍第17項所述之印刷電路板，更包括複數個第二線路，係佈設於該開口之側壁上。

19. 如申請專利範圍第13或18項所述之印刷電路板，其中部分該些第一線路以及部分該些第二線路係呈一梯形狀。

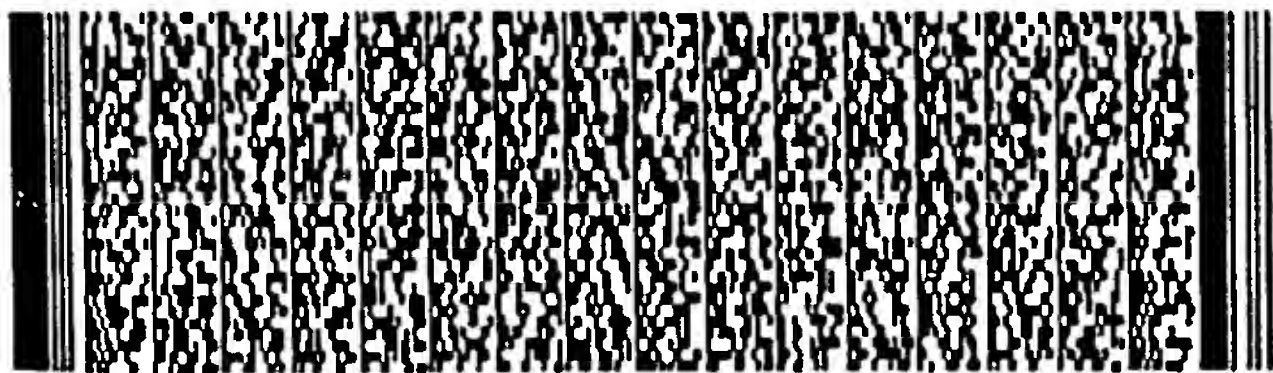
20. 如申請專利範圍第13或18項所述之印刷電路板，其中該些第一線路以及該些第二線路之表面係以一保護層所覆蓋。

21. 一種印刷電路板，至少包括：

複數層圖案化線路層；以及

複數層絕緣層，配置於該些圖案化線路層之間，用以隔離該些圖案化線路層，並與該些圖案化線路層疊合，其中該印刷電路板之表層具有一開口，而該開口係貫穿該印刷電路板；以及

複數個線路，佈設於該開口之側壁上，用以電性連接





#### 六、申請專利範圍

於該些圖案化線路層之間。

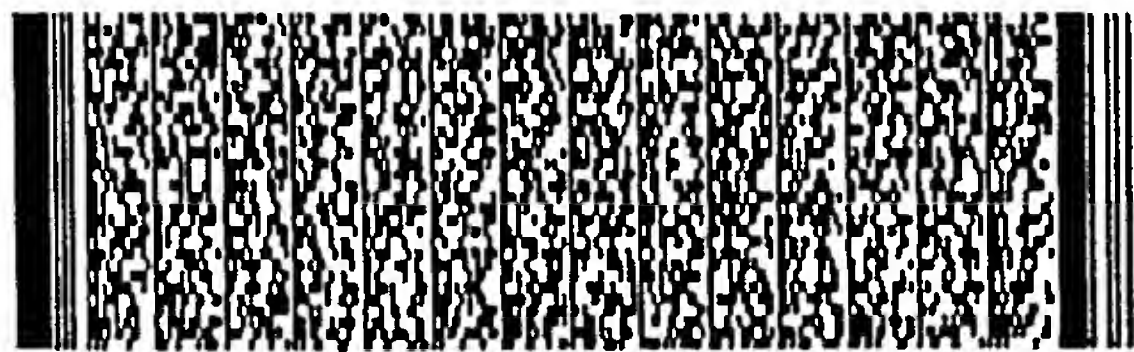
22. 如申請專利範圍第21項所述之印刷電路板，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺及環氧樹脂所組成之族群中的一種材質。

23. 如申請專利範圍第21項所述之印刷電路板，其中該絕緣層具有複數個導電孔，該些導電孔係電性連接於該些圖案化線路層。

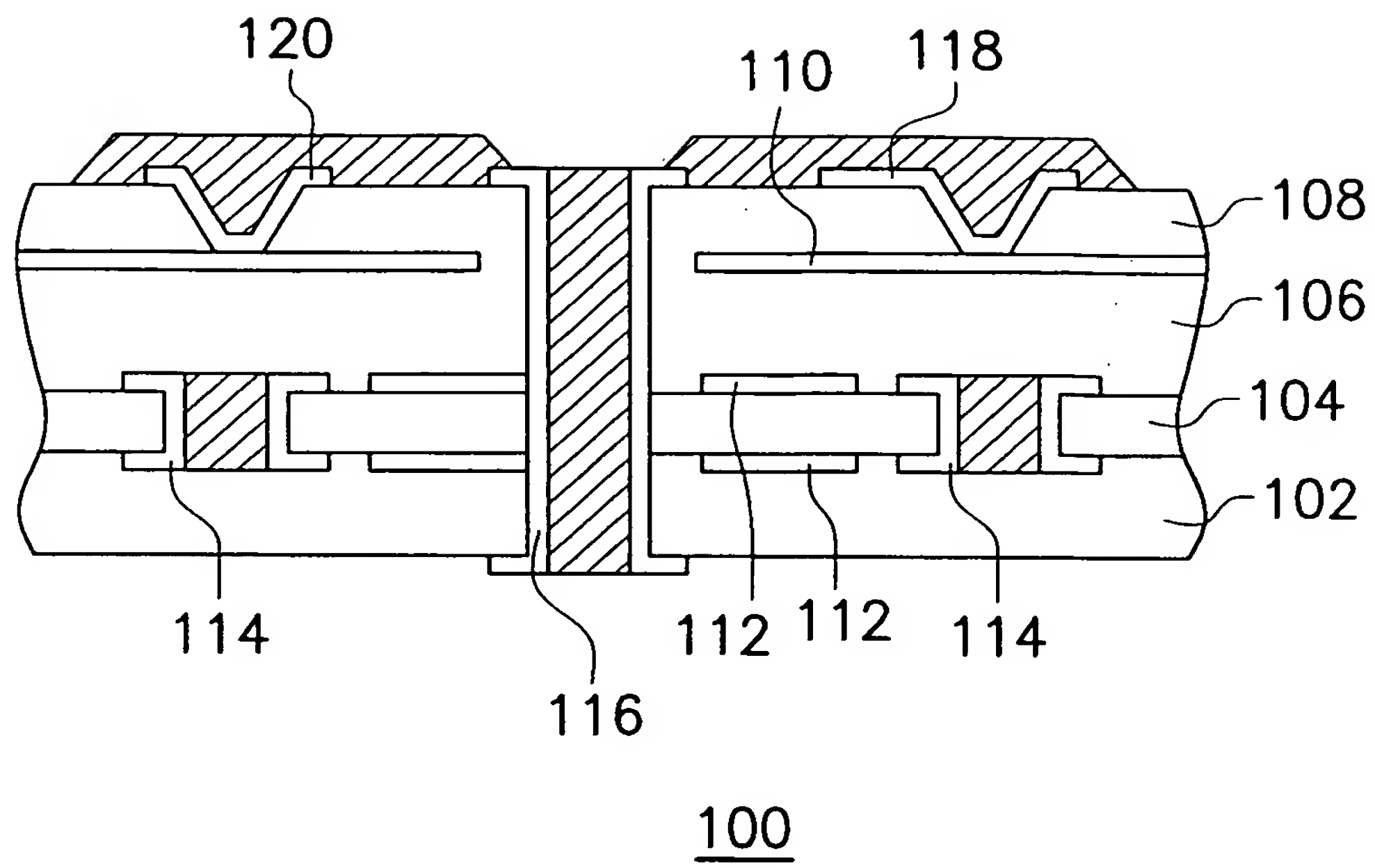
24. 如申請專利範圍第21項所述之印刷電路板，其中該每一該些圖案化線路層係由一銅箔層，經過微影蝕刻定義形成。

25. 如申請專利範圍第21項所述之印刷電路板，其中部分該些線路之線寬係呈一梯形狀。

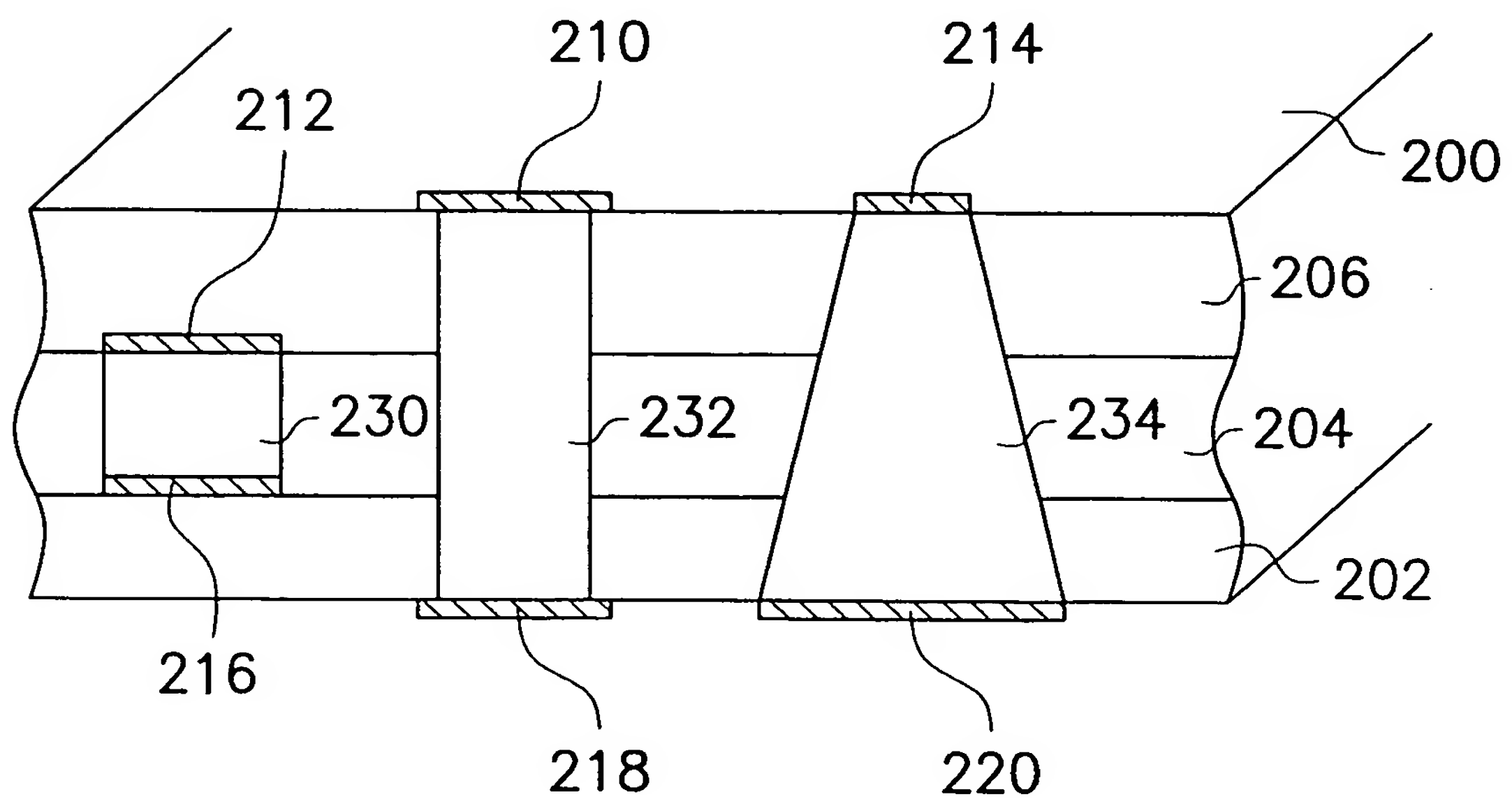
26. 如申請專利範圍第21項所述之印刷電路板，其中該些線路之表面係以一保護層所覆蓋。





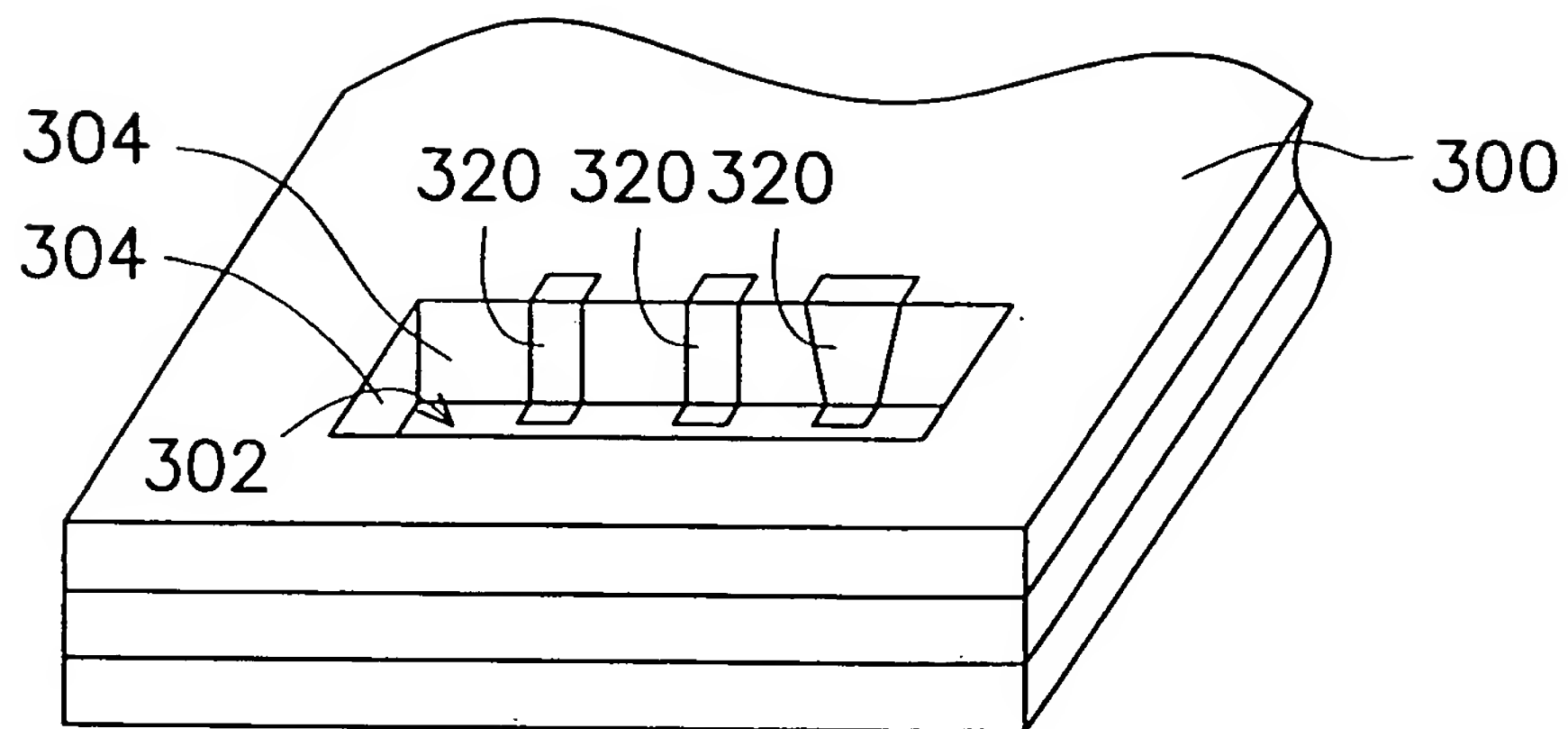


第 1 圖

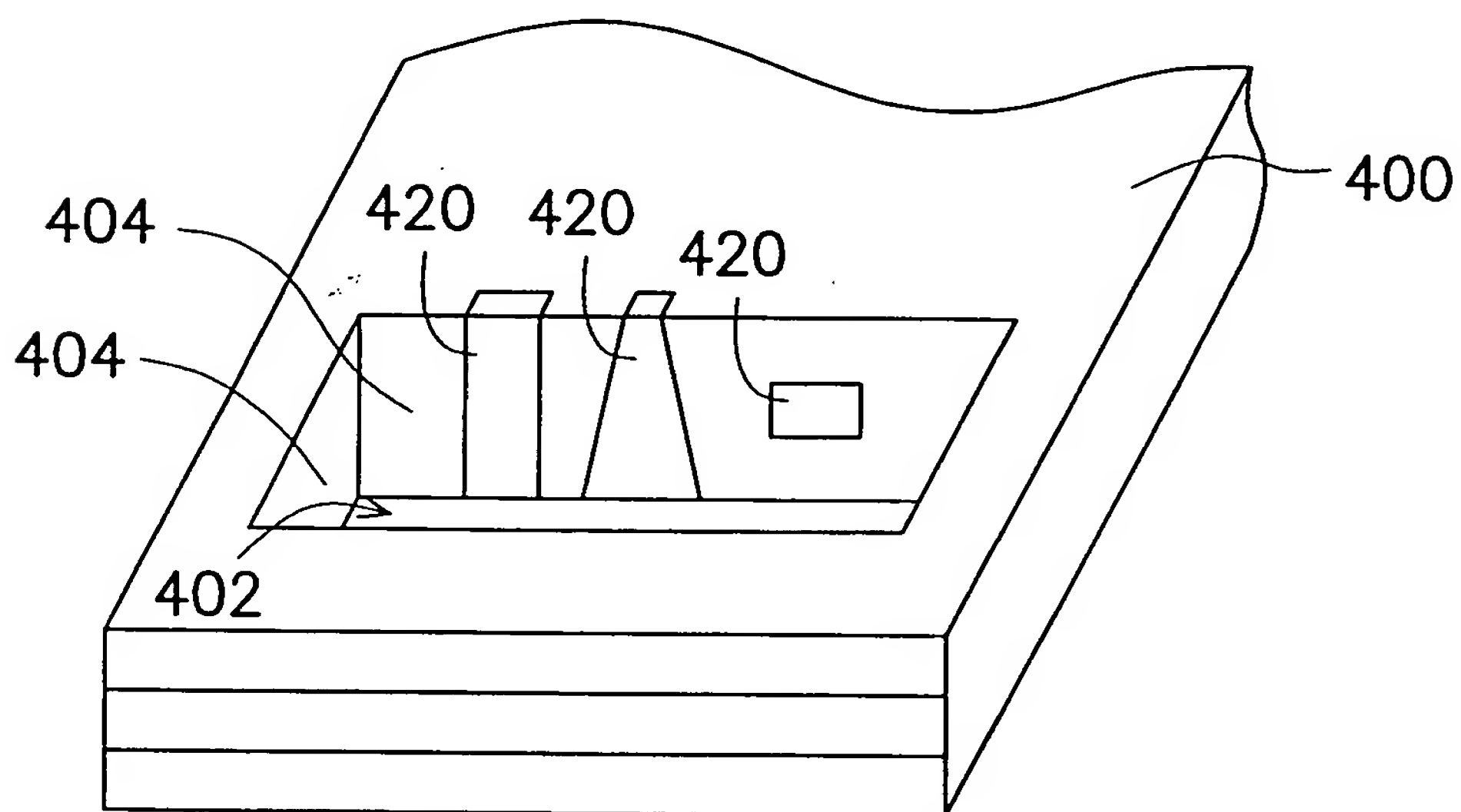


第 2 圖

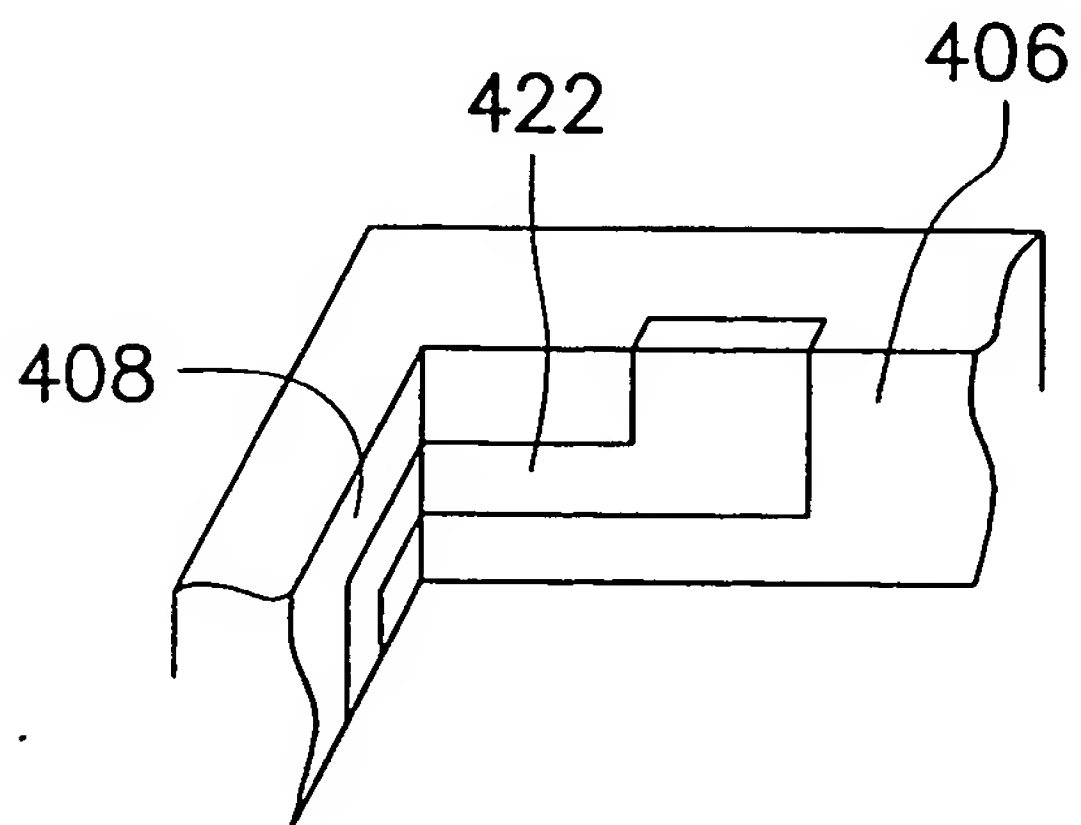




第 3 圖

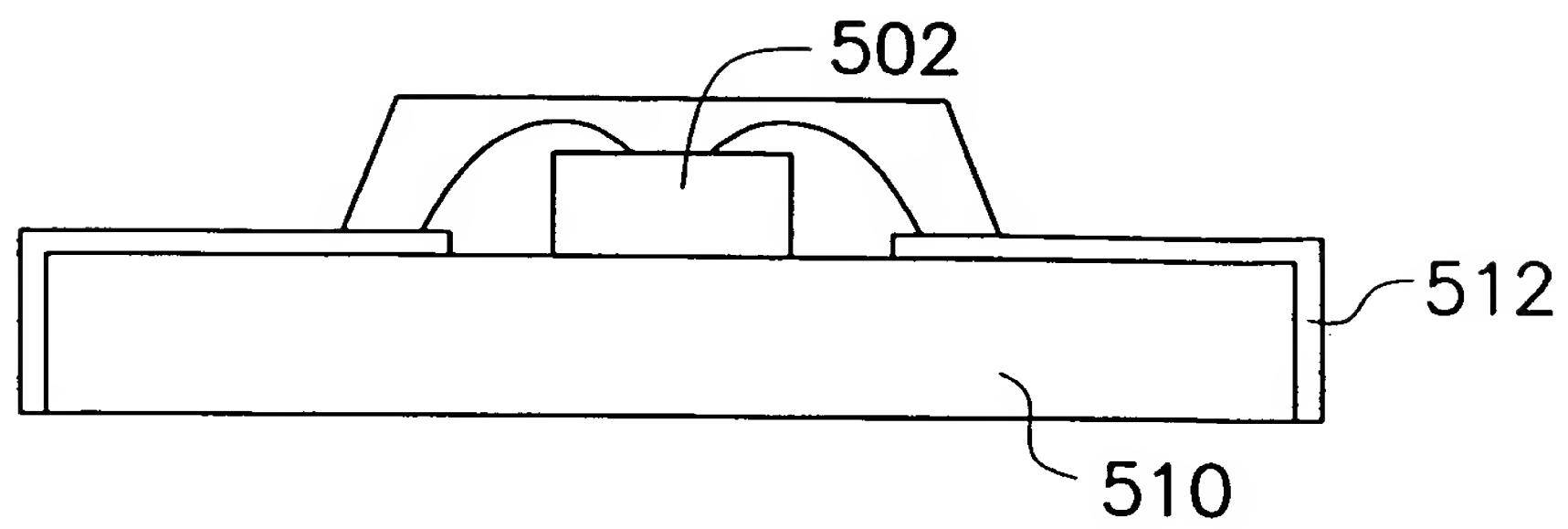


第 4 圖

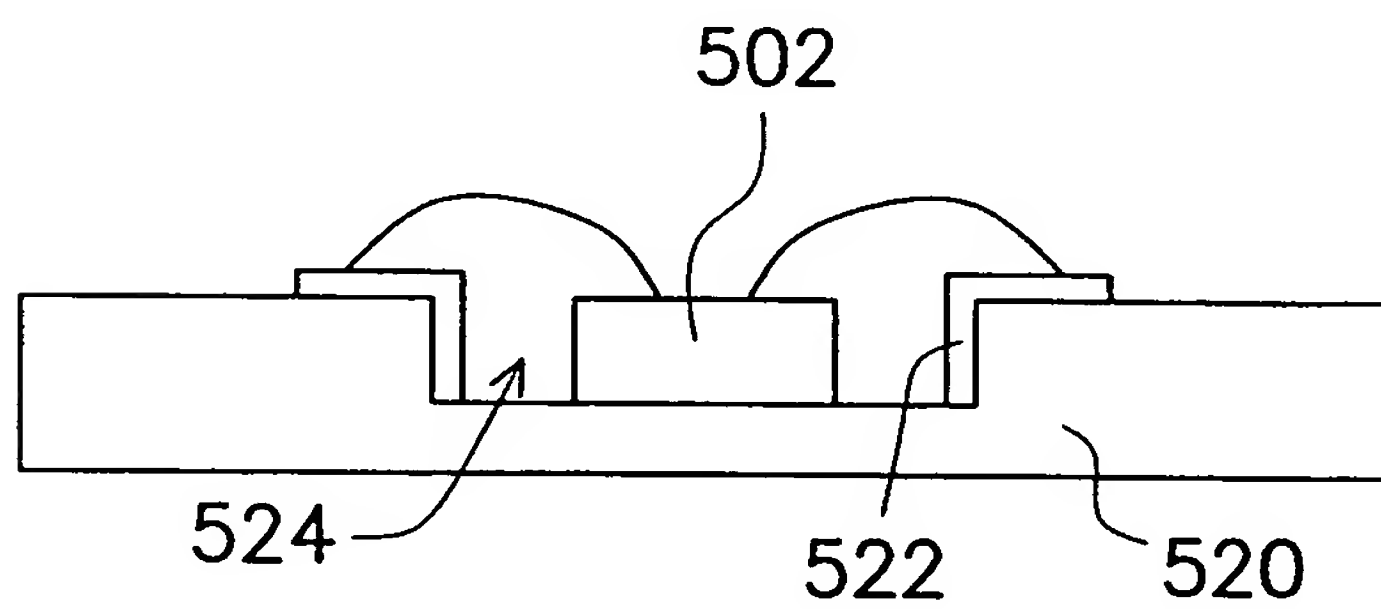


第 5 圖

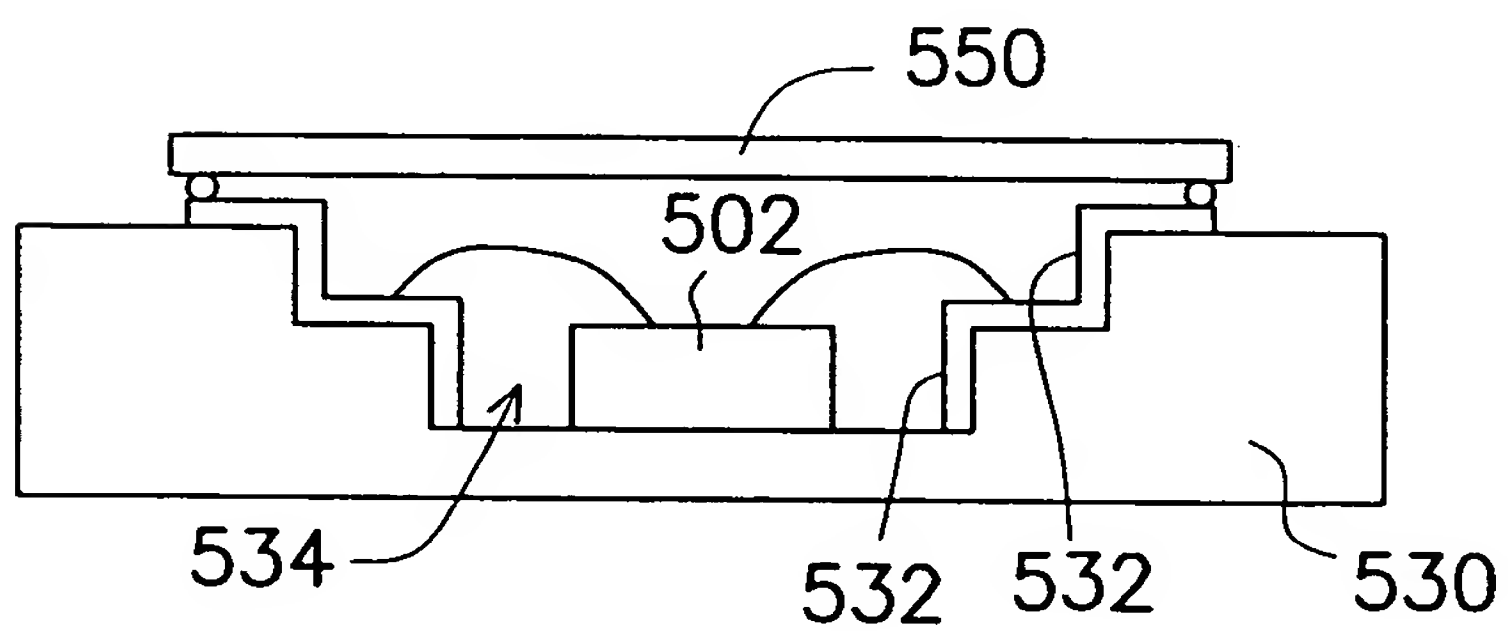




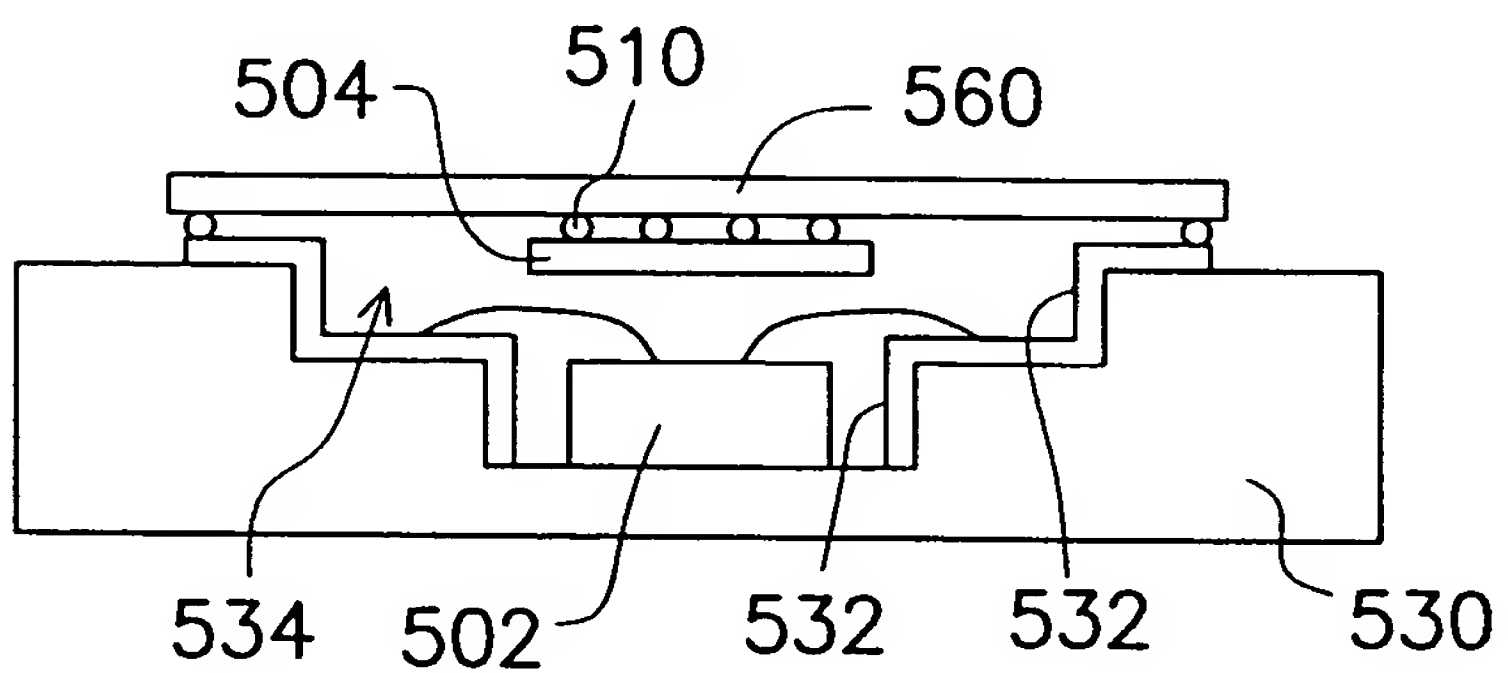
第 5A 圖



第 5B 圖



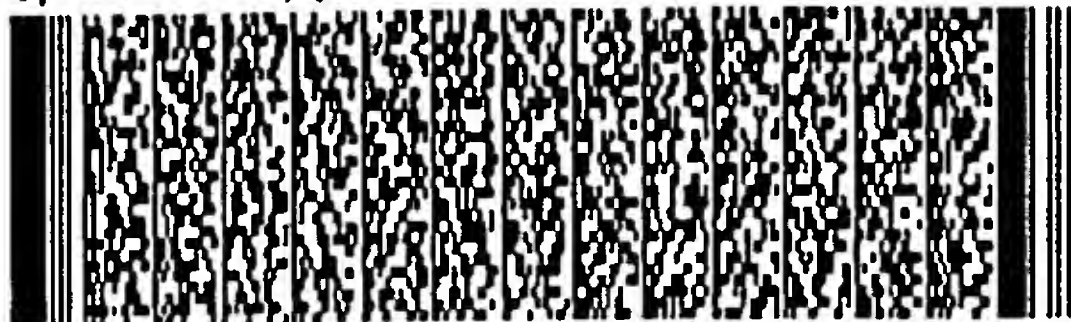
第 5C 圖



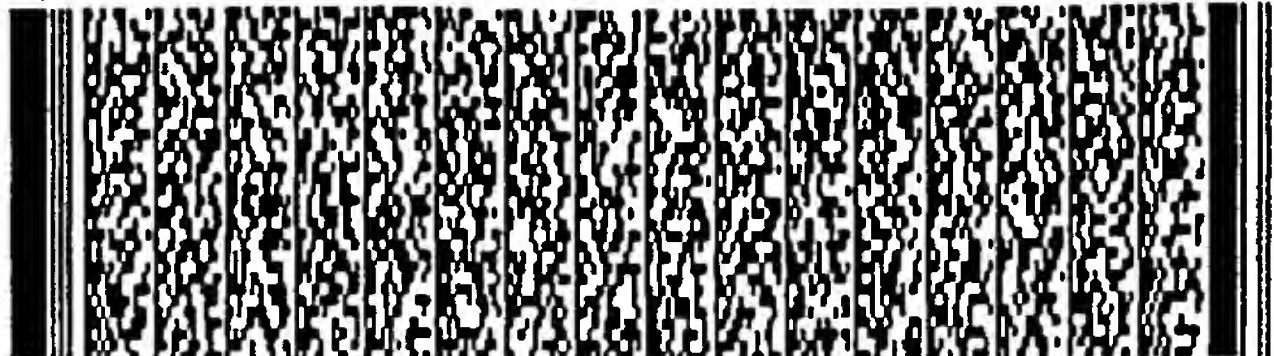
第 5D 圖



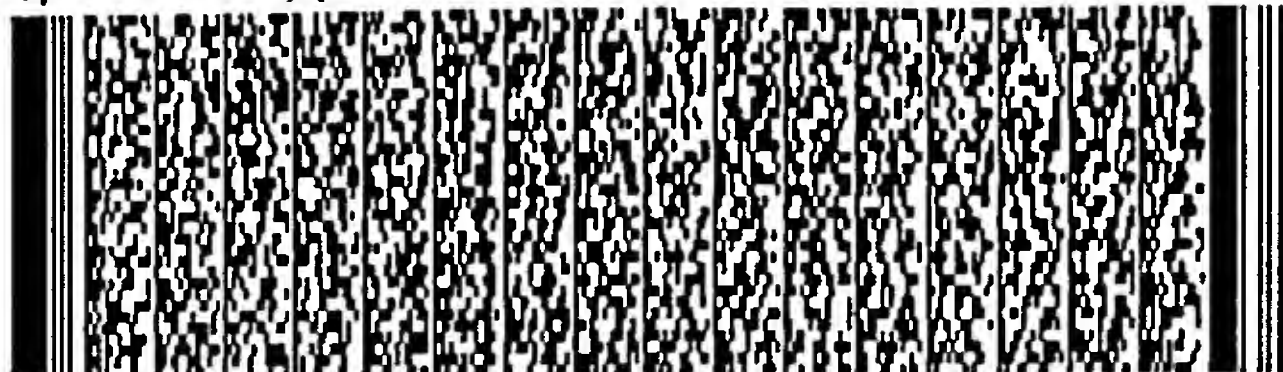
第 1/16 頁



第 2/16 頁



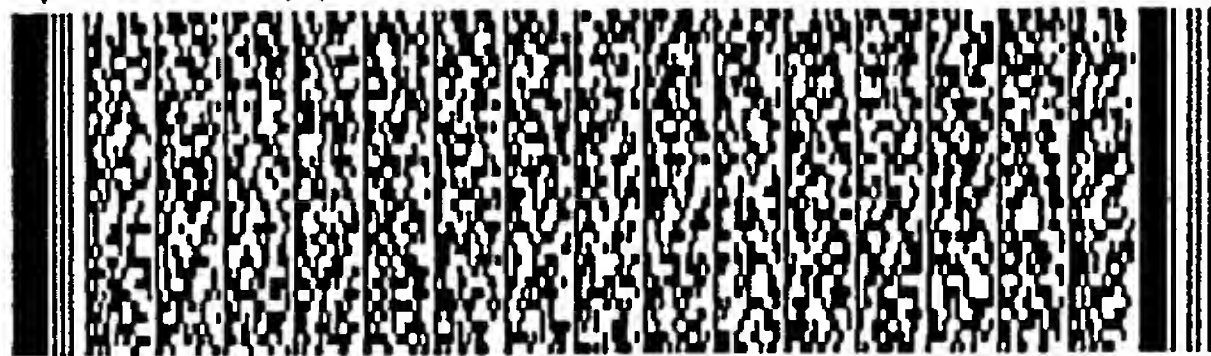
第 4/16 頁



第 4/16 頁



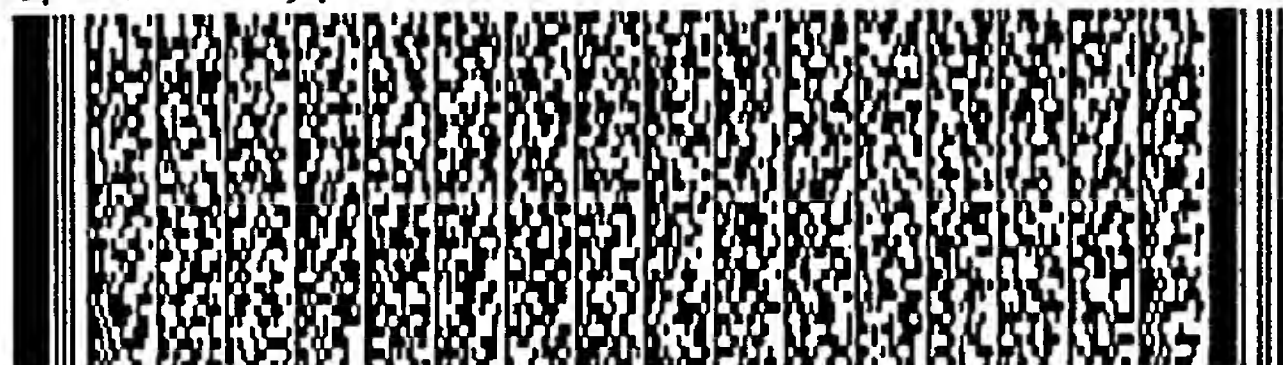
第 5/16 頁



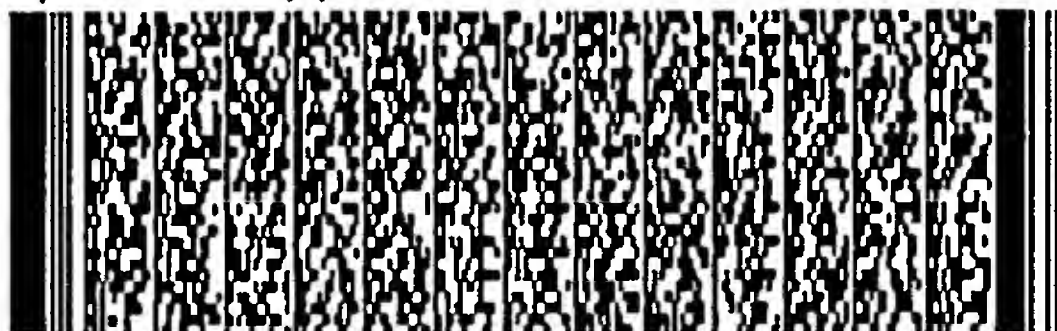
第 5/16 頁



第 6/16 頁



第 7/16 頁



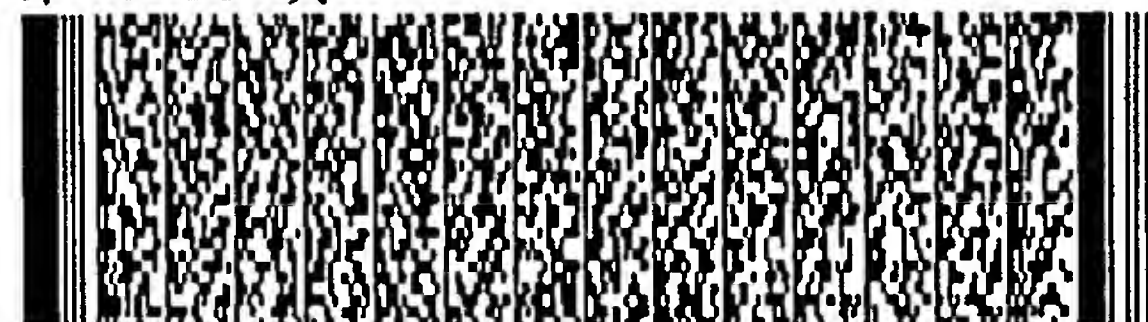
第 7/16 頁



第 8/16 頁



第 8/16 頁



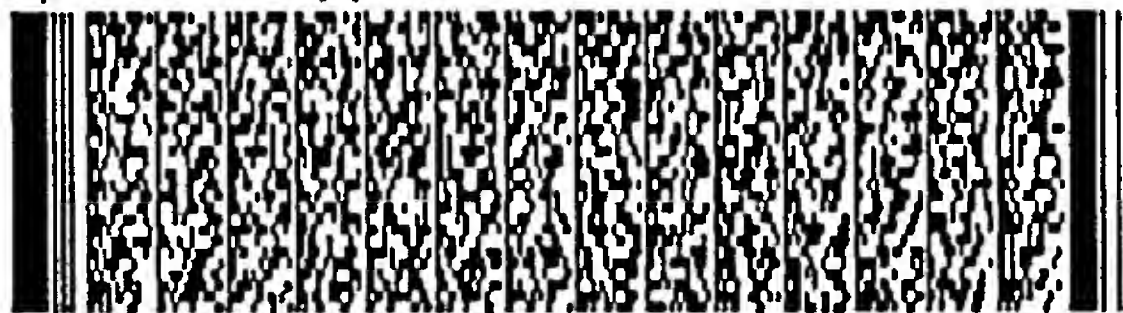
第 9/16 頁



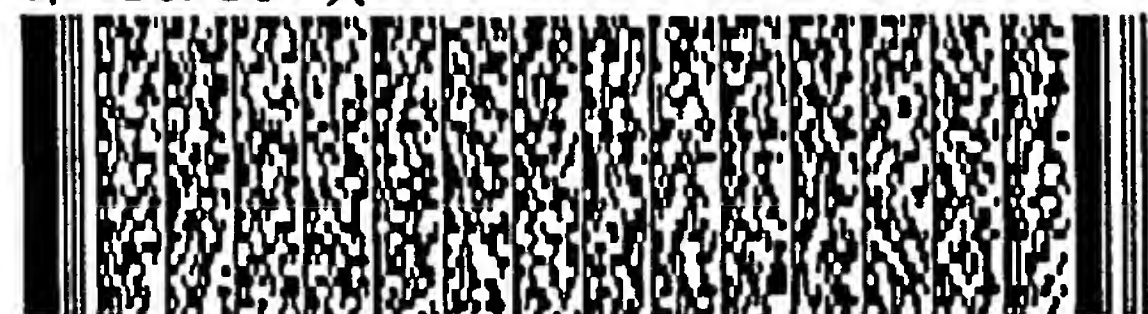
第 9/16 頁



第 10/16 頁



第 10/16 頁

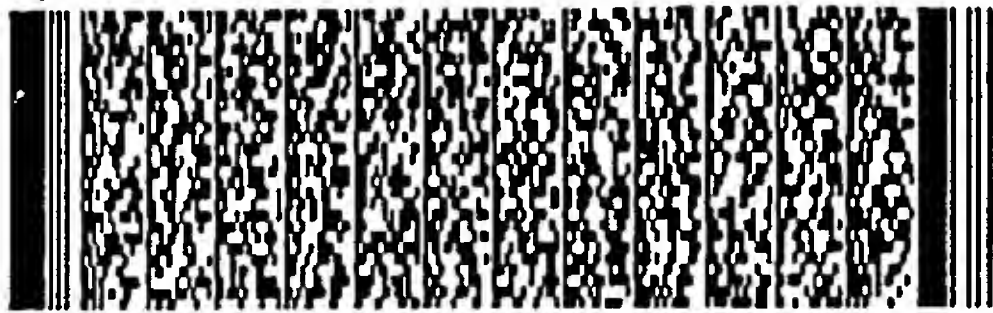


第 11/16 頁

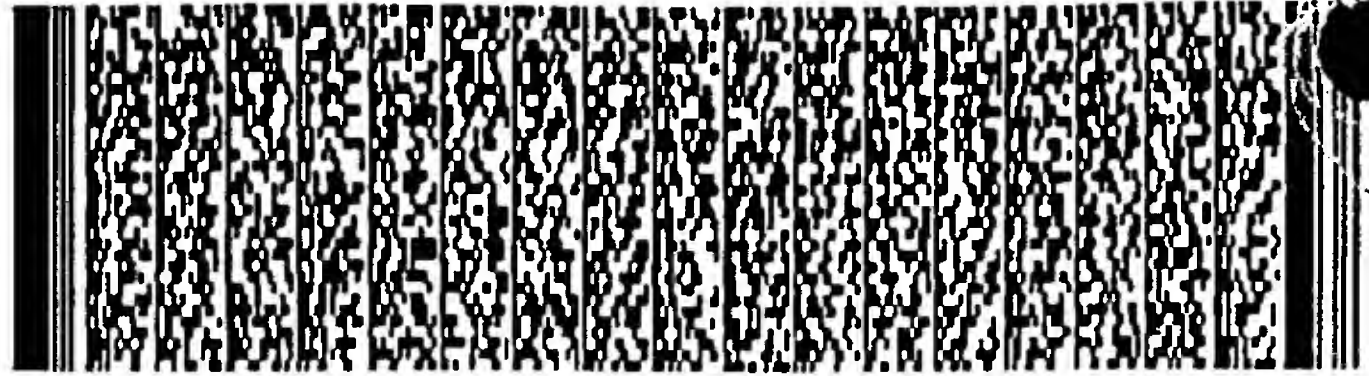




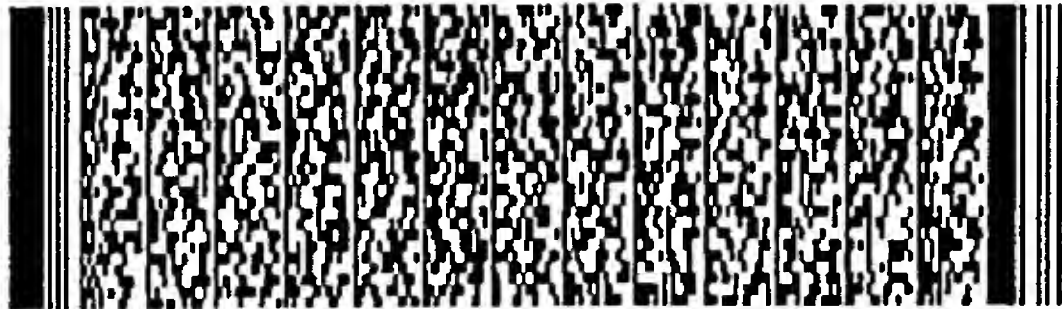
第 12/16 頁



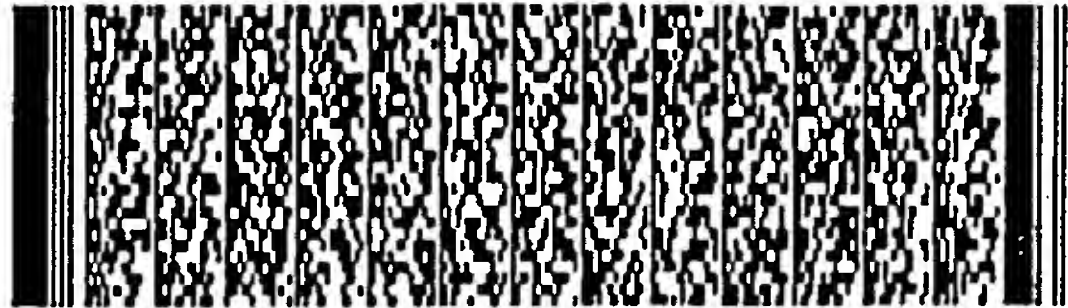
第 13/16 頁



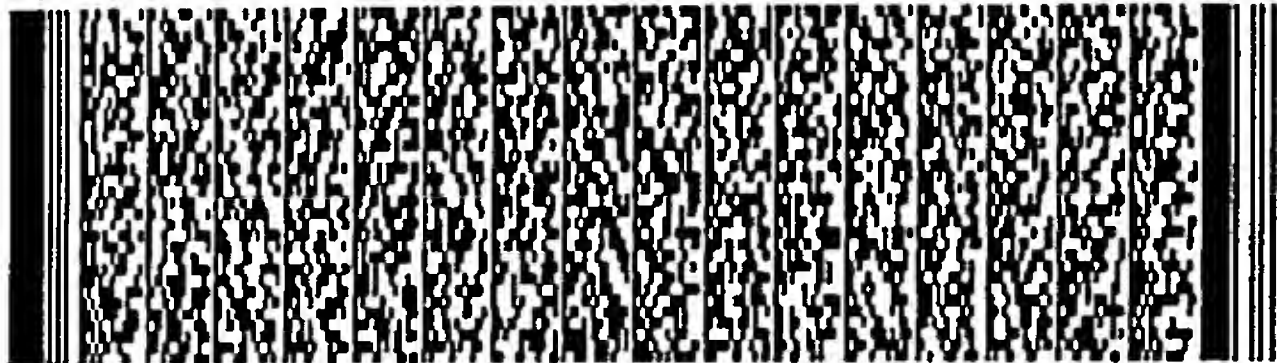
第 14/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

